

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Sung Chun CHOI, Jungwon KANG and
Jun weon SONG :
: Serial No.: New U.S. Patent Application :
: Filed: March 3, 2004 : Customer No.: 34610:
: For: PLASMA DISPLAY PANEL AND METHOD OF DRIVING THE SAME

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application Nos. 2003-0013337, filed March 4, 2004; 2003-0013380, filed March 4, 2003; 2003-0020535, filed April 1, 2003; 2003-0020536, filed April 1, 2003; and 2003-0020542, filed April 1, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP



Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 766-3701 DYK/CRW:jml

Date: March 3, 2004

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0013337
Application Number

출원 년 월 일 : 2003년 03월 04일
Date of Application MAR 04, 2003

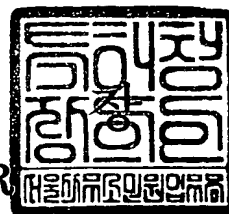
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2004 년 02 월 23 일

특 허 청

COMMISSIONER





1020030013337

출력 일자: 2004/2/24

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.04
【발명의 명칭】	플라즈마 디스플레이 패널
【발명의 영문명칭】	PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	최성천
【성명의 영문표기】	CHOI, Sung Chun
【주민등록번호】	651018-1345420
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 셋별한양아파트 305동 1401호
【국적】	KR
【발명자】	
【성명의 국문표기】	강정원
【성명의 영문표기】	KANG, Jung Won
【주민등록번호】	670717-1047721
【우편번호】	140-031
【주소】	서울특별시 용산구 이촌동 한가람아파트 212동 1503호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)



1020030013337

출력 일자: 2004/2/24

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 18 면 18,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 508,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 양광주영역을 확대시킴으로써 방전효율을 높일 수 있도록 한 플라즈마 디스플레이 패널에 관한 것이다.

본 발명의 실시 예에 따른 플라즈마 디스플레이 패널은 상부기판 상에 서로 나란하게 제 1 간격으로 형성된 유지전극쌍과, 유지전극쌍과 교차되는 방향으로 하부기판 상에 형성됨과 아울러 상기 유지전극쌍으로부터 상기 제 1 간격보다 좁은 제 2 간격으로 이격되게 형성되는 어드레스전극과, 유지전극쌍을 이루는 스캔전극 및 서스테인전극 중 적어도 하나 이상의 전극과 상기 어드레스전극과의 중첩부에서 신장되게 형성되는 돌출부를 구비한다.

【대표도】

도 6

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널{PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀을 나타내는 사시도이다.

도 2는 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 단면도

도 3은 도 1에 도시된 플라즈마 디스플레이 패널의 한 프레임을 나타내는 도면이다.

도 4는 도 1에 도시된 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 5a는 서스테인 방전시 발광영역을 구분하여 도시한 도면이다.

도 5b는 도 5a의 발광영역에 따른 전압분포를 나타내는 도면이다.

도 6은 본 발명의 제 1 실시 예에 따른 양광주영역 구조에서 방전 흐름을 보여주는 도면이다.

도 7a 내지 7c는 도 6에 따른 수평형태의 양광주영역 구조에서 서스테인 기간동안 방전 개시 및 유지를 자세히 나타내는 도면이다.

도 8은 도 6에 따른 구동파형을 나타내는 파형도이다.

도 9a는 일반적으로 사용되는 전극구조를 나타내는 평면도이고, 도 9b는 도 9a의 전극구조의 입체도이다.

도 10a 및 10b는 본 발명의 제 2 실시 예에 따른 전극구조를 나타내는 도면이다.

도 11a 및 11b는 본 발명의 제 3 실시 예에 따른 전극구조를 나타내는 도면이다.

도 12a 및 12b는 본 발명의 제 4 실시 예에 따른 전극구조를 나타내는 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

10, 110 : 상부기판 18, 118 : 하부기판

Y : 스캔전극 Z : 서스테인전극

X : 어드레스 전극 12Y, 112Y, 12Z, 112Z : 투명전극

13Y, 113Y, 13Z, 113Z : 금속버스전극 14, 114 : 상부 유전체층

16, 116 : 보호막 22, 122 : 하부 유전체층

24, 124 : 격벽 26, 126 : 형광체층

A1, A2, A3, A4, A11, A12, A13, A14, A21, A22, A23, A24 : 돌출부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로 특히, 양광주영역을 확대시킴으로써 방전효율을 높일 수 있도록 한 플라즈마 디스플레이 패널에 관한 것이다.

<23> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스의 방전 시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가



용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 벽전하가 축적되며 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

<24> 도 1은 통상적으로 교류형 PDP에 매트릭스 형태로 배열되어진 방전셀 구조를 나타내는 사시도이고, 도 2는 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 단면도이다.

<25> 도 1 및 도 2를 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극(12Y, 12Z)과, 투명전극(12Y, 12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(13Y, 13Z)을 포함한다.

<26> 투명전극(12Y, 12Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO"라 함)로 상부기관(10) 상에 형성된다. 금속버스전극(13Y, 13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y, 12Z) 상에 형성되어 저항이 높은 투명전극(12Y, 12Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y)과 서스테인전극(Z)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기관(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(X)은 스캔전극(Y) 및 서스테인전극(Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는

것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기관(10,18)과 격벽(24) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스가 주입된다.

<27> 이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 도 3에서 처럼 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 및 어드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다.

<28> 도 4는 종래의 방법에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

<29> 도 4를 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 리셋기간(RPD), 어드레스 기간(APD) 및 서스테인 기간(SPD)으로 나누어 구동된다.

<30> 리셋기간(RPD)에는 스캔전극(Y)에 리셋펄스(RP)가 공급된다. 리셋펄스(RP)는 램프와 형태로 셋업(Set-up)기간에 전압이 증가하고 셋다운(Set-down)기간에는 전압이 감소하는 형태를 가진다. 전압이 서서히 증가하는 셋업(Set-up)기간에는 다수의 미세한 셋업방전이 발생되어



상부 유전층에 벽전하가 형성된다. 이어서, 전압이 서서히 감소하는 셋다운(Set-down)기간에는 다수의 미세한 셋다운방전에 의해 불요의 하전입자들이 부분적으로 소거되어 벽전하가 오방전을 일으키지 않으면서 다음의 어드레스방전에 도움을 줄 정도로 감소하게 된다. 셋다운(Set-down)기간동안 서스테인전극(Z)에는 정극성(+)의 직류전압이 공급된다. 이 정극성(+)의 직류전압에 대하여 리셋펄스(RP)는 서서히 감소하는 형태로 공급되므로 셋다운(Set-down)시 스캔전극(Y)이 서스테인전극(Z)에 대하여 상대적인 부극성(-)이 됨으로써, 즉 극성이 반전됨으로써 셋업(Set-up)시 생성된 벽전하들이 감소하게 된다.

- <31> 어드레스 기간(APD)에는 스캔전극(Y)에 부극성(-)의 스캔전압(V_y)을 가지는 스캔펄스(SP)가 공급됨과 아울러 동시에 어드레스전극(X)에 어드레스전압(V_a)에 해당하는 데이터펄스(DP)가 공급됨으로써 어드레스방전이 발생하게 된다. 이 어드레스방전으로 형성된 벽전하는 다른 방전셀들이 어드레스되는 기간동안 유지된다.
- <32> 서스테인 기간(SPD)에는 시작부에서 스캔전극(Y)에 트리거링펄스(TP)를 공급하여 어드레스기간(APD)에서 충분히 벽전하가 형성된 방전셀들에서 서스테인방전이 개시되게 한다. 이어서, 서스테인전극(Z)과 스캔전극(Y)에 교번적으로 서스테인전압(V_s)에 해당하는 서스테인펄스(SUSP_z, SUSP_y)를 공급하여 서스테인기간(SPD) 동안 서스테인방전이 유지되게 한다.
- <33> 이러한 서스테인 기간(SPD)에 이은 소거기간(EPD)에서는 서스테인전극(Z)에 소거펄스(EP)를 공급하여 유지되던 방전이 중지되게 한다. 소거펄스(EP)는 발광크기가 작게끔 램프파 형태를 가지거나 방전 소거를 위해 $1\mu s$ 정도의 짧은 펄스폭을 가지게 된다. 이러한 소거펄스(EP)에 의한 짧은 소거방전으로 하전입자들이 소거되어 방전이 중지된다.
- <34> 도 5a는 서스테인 방전시 발광영역을 구분하여 도시한 도면이고, 도 5b는 도 5a의 발광 영역에 따른 전압분포를 나타내는 도면이다.



<35> 도 5a 및 5b를 참조하면, 방전 시 PDP 셀내부의 방전공간에서 발광현상이 발생하는 영역이 구분되어 도시되어 있다. 도 5a에 도시된 바와 같이 음극(예를들면, 서스테인전극(Z))과 양극(예를들면, 스캔전극(Y)) 사이에 소정의 전압을 인가하면, 양 전극간에는 전자의 방출에 의한 방전이 일어나게 된다. 이때, 음극에서 방출된 1차전자들은 양 전극간에 인가된 전계에 의해 가속을 받아서 중성입자들과 충돌하여 새로운 전자(즉, 2차전자)를 생성시키게 된다. 2차 전자는 전압의 변화가 큼에 따라 전계의 크기가 상대적으로 큰 도 5b의 A 부분에서 강하게 가속받는다. 이러한 2차 전자는 이온화를 진행하면서 에너지를 계속 얻어 도 5b의 B영역에 도달한다. 도 5b의 B영역에서 2차전자는 더 이상 에너지를 얻지 못하고 충돌에 의해 중성입자에 에너지를 전달하는데 이 과정에서 여기된 입자들이 바닥상태로 떨어지면서 가시광선과 진공자외선을 발생하는데 이 영역은 도 5a에 도시된 바와같이 부글로우(Negative Glow) 영역(2)이라 불리운다. 이 부글로우 영역(2)을 지난 전자들은 에너지가 매우 약하여 전체적으로 균일한 플라즈마 상태를 나타내는데 이 영역은 도 5a에 도시된 바와 같이 양광주(Positive Column)영역(4)이라 불리운다. 이 양광주영역(4)에서는 전계에 의한 에너지가 아니라 전체에서 에너지가 높은 전자들만 기체를 여기 시켜서 발광을 하게된다. 이 양광주영역(4)에서 이온화는 거의 일어나지 않고 여기에 의한 발광이 많이 일어나서 전체적으로 에너지가 빛으로 많이 변환되어 효율이 좋다고 알려져 있다.

<36> 한편, 현재 상업적으로 이용되는 PDP의 경우 1 ~ 1.5 lm/W 의 효율을 보이고, 일부 테스트 샘플 레벨에서는 이보다 높은 2.0 lm/W 수준의 효율을 보고하고 있다. 기존 대비, 효율 상승의 원인이 되는 것은 구조적 개선보다 사용 가스에서 Xe의 양을 적당한 레벨에서 하이 레벨(14%까지 상승)로 상승시킨 것에 기인한다고 볼 수 있다. 즉, 현재 이용되는 Ne+Xe 등의 불활성 혼합가스의 경우 Ne의 양은 95% 정도이고, Xe의 양은 5% 정도이다. 따라서, 방전효율을 높

이기 위하여 패널에 주입되는 Xe의 양을 14% 정도까지 상승시킨다. 그러나, Xe의 크기가 Ne의 크기보다 월등히 크기 때문에 Xe의 양이 많아지면 전하의 경로가 제한되어 방전을 일으키기 위한 전압이 상승해야 한다. 즉, Xe 양의 증가는 스캔전극(Y)과 서스테인전극(Z) 사이의 브레이크다운과 서스테인 전압을 상승시키는 결과를 초래한다. 또한, 구동에 있어서도 많은 Xe 양의 적용에 의한 전자의 쿨링 효과의 증가 즉, Xe가 Ne에 비해 상대적으로 월등히 큼으로 그만큼 전자의 이동이 어려워져 방전점화(Discharge Ignition)가 지연되는 타임 딜레이(Time delay)가 발생되고 있다.

<37> 즉, 종래 PDP의 구동방법은 타임 딜레이(time delay)가 발생하는 문제점 없이 방전효율을 높이는데 어려움이 있다. 따라서, 종래의 PDP는 방전효율을 높이기 위해서 Xe의 양을 증가시켰다. 그러나, Xe의 양을 증가시킴으로써 형광체에서 적외선이 바로 발광하지 못하는 타임 딜레이(time delay)가 발생하는 문제점이 있다. 즉, 종래의 PDP구조에서는 타임 딜레이(time delay)등의 문제점 없이 방전효율을 높이는데 어려움이 있었다.

【발명이 이루고자 하는 기술적 과제】

<38> 따라서, 본 발명의 목적은 양광주영역을 확대시킴으로써 방전효율을 높일 수 있도록 한 플라즈마 디스플레이 패널을 제공하는 데 있다.

【발명의 구성 및 작용】

<39> 상기 목적을 달성하기 위해서, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널은 상부기판 상에 서로 나란하게 제 1 간격으로 형성된 유지전극쌍과, 유지전극쌍과 교차되는 방

향으로 하부기관 상에 형성됨과 아울러 상기 유지전극쌍으로부터 상기 제 1 간격보다 좁은 제 2 간격으로 이격되게 형성되는 어드레스전극과, 유지전극쌍을 이루는 스캔전극 및 서스테인전극 중 적어도 하나 이상의 전극과 상기 어드레스전극과의 중첩부에서 신장되게 형성되는 돌출부를 구비한다.

- <40> 상기 유지전극쌍간의 제 1 간격은 $300\mu\text{m}$ 이상으로 설정되는 것을 특징으로 한다.
- <41> 상기 돌출부는 상기 어드레스전극으로부터 상기 유지전극쌍과 나란하게 신장되는 것을 특징으로 한다. 하
- <42> 상기 돌출부의 폭은 상기 유지전극쌍들 각각의 폭보다 넓게 설정되는 것을 특징으로 한다.
- <43> 상기 돌출부의 폭은 상기 유지전극쌍들 각각의 폭과 동일하게 설정되는 것을 특징으로 한다.
- <44> 상기 돌출부의 폭은 상기 유지전극쌍 각각의 폭보다 좁게 설정되는 것을 특징으로 한다.
- <45> 상기 돌출부는 상기 어드레스전극의 일측단에서 신장되는 것을 특징으로 한다.
- <46> 상기 돌출부는 상기 어드레스전극의 양측단에서 신장되는 것을 특징으로 한다.
- <47> 상기 돌출부는 상기 유지전극쌍 중 스캔전극과 중첩되게 신장되는 것을 특징으로 한다.
- <48> 상기 돌출부는 상기 유지전극쌍 중 서스테인전극과 중첩되게 신장되는 것을 특징으로 한다.
- <49> 상기 돌출부는 상기 유지전극쌍 모두와 중첩되게 신장되는 것을 특징으로 한다.
- <50> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.



- <51> 이하, 도 6 내지 도 12을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- <52> 도 6은 본 발명의 제 1 실시 예에 따른 양광주영역 구조에서 방전 흐름을 보여주는 도면이다.
- <53> 도 6를 참조하면, 본 발명에 따른 양광주영역(Positive Column)을 이용한 3전극 교류 면 방전형 PDP의 방전셀은 상부기판(110) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)과, 하부기판(118) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극(112Y, 112Z)과, 투명전극(112Y, 112Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(113Y, 113Z)을 포함한다.
- <54> 투명전극(112Y, 112Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide)로 상부기판(110) 상에 형성된다. 금속버스전극(113Y, 113Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(112Y, 112Z) 상에 형성되어 저항이 높은 투명전극(112Y, 112Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y)과 서스테인전극(Z)이 나란하게 형성된 상부기판(110)에는 상부 유전체층(114)과 보호막(116)이 적층된다. 상부 유전체층(114)에는 플라즈마 방전 시 발생된 벽전하가 축적된다. 보호막(116)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(114)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(116)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기판(117) 상에는 하부 유전체층(122), 격벽(도시하지않음)이 형성되며, 하부 유전체층(122)과 격벽 표면에는 형광체층(도시하지않음)이 도포된다. 어드레스전극(X)은 스캔전극(Y) 및 서스테인전극(Z)과 교차되는 방향으로 형성된다. 격벽은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층은 플라즈마 방전시 발생된 자외선에 의해 여기되어



적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기관(110,118)과 격벽 사이에 마련된 방전셀의 방전공간에는 방전을 위한 Ne+Xe 등의 불활성 혼합가스가 주입된다. 이와같은 본 발명에 따른 PDP에서는 상부기관(110) 상에 형성되어진 스캔전극(Y)과 서스테인전극(Z)간의 간격(d)이 스캔전극(Y)과 어드레스전극(X)간의 간격(L)(또는 서스테인전극(Z)과 어드레스전극(X)간의 간격(L))보다 크게 설정된다.

<55> 따라서, 서스테인 기간(SPD)에는 스캔전극(Y)과 어드레스전극(X)간의 전압차가 스캔전극(Y)과 서스테인전극(Z)간의 전압차보다 높아져 스캔전극(Y)과 어드레스전극(X)간의 대향방전이 먼저 발생된다. 이를 자세히 설명하면, 스캔전극(Y)과 서스테인전극(Z)간의 간격(d)이 스캔전극(Y)과 어드레스전극(X)간의 간격(L)보다 크게 설정되기 때문에 스캔전극(Y)과 어드레스전극(X)간의 전압차가 스캔전극(Y)과 서스테인전극(Z)간의 전압차보다 높아져 스캔전극(Y)에 서스테인 펄스 인가시 도 6의 ① 방향으로 스캔전극(Y)과 어드레스전극(X)간의 대향방전이 먼저 발생하게 된다. 그후, 스캔전극(Y)과 서스테인전극(Z)간의 높은 전위차에 의하여 전자들은 도 6의 ② 방향으로 확산되면서 양광주영역(Positive Column)을 형성하게 된다. 이러한 양광주영역(Positive Column)의 확산이 끝나는 시점에서 도 6의 ③ 방향으로 서스테인전극(Z)과 어드레스전극(X)간의 대향방전이 발생된다. 이와 마찬가지로, 서스테인전극(Z)에 스캔전극(Y)과 교번적으로 서스테인 펄스가 인가시 도 6의 ③ 방향으로 서스테인전극(Z)과 어드레스전극(X)간의 대향방전이 먼저 발생하게 된다. 그후, 스캔전극(Y)과 서스테인전극(Z)간의 높은 전위차에 의하여 전자들은 도 6의 ② 방향으로 확산되면서 양광주영역(Positive Column)을 형성하게 된다. 이러한 양광주영역(Positive Column)의 확산이 끝나는 시점에서 도 6의 ① 방향으로 스캔전극(Y)과 어드레스전극(X)간의 대향방전이 발생된다. 이와같이, 스캔전극(Y)과

서스테인전극(Z)간의 간격(d)이 스캔전극(Y)과 어드레스전극(X)의 간격(L)보다 크게 설정하여 방전효율이 좋은 양광주영역(Positive Column)을 넓게 형성할 수 있다.

<56> 따라서, 본 발명에 따른 양광주영역을 이용한 PDP는 일반적인 Xe의 양을 갖는 일반구조에 많은 양의 Xe를 적용하는 것에 준하는 높은 효율(Efficacy)을 구현할 수 있다. 이를 위하여 현재 교류형 PDP에서 사용되는 부글로우(Negative Glow) 영역외에 낮은 필드와 높은 Xe여기비율(Excitation Rate)의 특성을 지닌 양광주영역(Positive Column)를 적극 활용한다. 일반적으로 양광주영역(Positive Column)은 주로 $300\mu\text{m}$ 이상의 방전패스를 가질 경우에 발생하게 되며, 부글로우(Negative Glow) 영역에서의 효율이 $1\sim 2\text{ lm/W}$ 인 것에 비하여 높은 효율(대개의 경우 7 lm/W)을 보이고 있다. 양광주영역(Positive Column)의 확대를 위해 셀내에서 ITO간의 간격(=d)을 최대화(ex. 0.81mm 픽셀 피치 기준에서 ITO 간격은 $300\mu\text{m}$ 이상)하였고, ITO간 간격의 증가에 따른 방전개시 및 유지 전압의 증가는 스캔전극(Y)과 어드레스전극(X)간의 간격(=L)을 $d > L$ 의 관계를 유지하면서, 서스테인 기간(SPD)동안 방전개시를 종래의 스캔전극(Y)과 서스테인전극(Z) 사이가 아닌 스캔전극(Y)과 어드레스전극(X)에서 발생시켜서 서스테인전극(Z)으로 이동시키는 것을 목표로 한다. 이를 위해 $d > L$ 관계의 설립은 필수이다. 다시말해서, 스캔전극(Y)과 서스테인전극(Z)간의 간격(d)을 스캔전극(Y)과 어드레스전극(X)간의 간격(L)보다 더 크게 설정하여 양광주영역(Positive Column)을 넓게 형성시켜 방전효율을 높이는 것이다.

<57> 도 7a 내지 7c는 도 6에 따른 수평형태의 양광주영역 구조에서 서스테인 기간동안 방전개시 및 유지를 자세히 나타내는 도면이다.

<58> 도 7a 내지 7c를 참조하여 설명하면, 서스테인 기간(SPD)에 도 7a에서 처럼 스캔전극(Y)과 서스테인전극(Z)간의 거리보다 스캔전극(Y)과 어드레스전극(X)간의



거리가 상대적으로 가깝기 때문에 스캔전극(Y)과 서스테인전극(Z)간에는 면방전이 발생되지 않고, 스캔전극(Y)과 어드레스전극(X)간에 미약한 대향방전이 발생하게 된다. 그 후, 도 7b에서처럼 스캔전극(Y)과 서스테인전극(Z) 사이의 전위차에 의해서 전자들이 서스테인전극(Z)으로 확산하면서 양광주영역(Positive Column)을 형성하게 된다. 이 후, 도 7c에서처럼 양광주영역(Positive Column)이 계속 확산되다가 끝나는 시점에서 반대극성을 갖고 있는 전하의 축적에 의해 스캔전극(Y)과 서스테인전극(Z)사이의 전위차가 상쇄된다. 따라서, 방전이 서서히 약해지면서 각 전극의 벽전하의 극성이 반전 혹은 중성이 된다. 이러한 양광주영역(Positive Column)에서는 전계에 의한 에너지가 아니라 전체에서 에너지가 높은 전자들만 기체를 여기 시켜서 발광을 하게된다. 즉, 양광주영역(Positive Column)에서는 이온화는 거의 일어나지 않고 여기에 의한 발광이 많이 일어나서 전체적으로 에너지가 빛으로 많이 변환되어 효율이 좋다. 따라서, 이러한 양광주영역(Positive Column)을 극대화 할 수 있다면 방전효율을 높일 수 있다. 이에따라, 양광주영역(Positive Column)의 확대를 위해 방전셀 내에서 ITO 간의 간격을 최대화함으로써 방전효율을 높일 수 있다.

<59> 도 8은 본 발명의 구동방법에 따른 구동파형을 나타내는 파형도이다.

<60> 도 8을 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 리셋기간(RPD), 어드레스 기간(APD) 및 서스테인 기간(SPD)으로 나뉘어 구동된다.

<61> 리셋기간(RPD)에는 스캔전극(Y)에 리셋펄스(RP)가 공급된다. 리셋펄스(RP)는 램프파 형태로 셋업(Set-up)기간에 전압이 증가하고 셋다운(Set-down)기간에는 전압이 감소하는 형태를 가진다. 전압이 서서히 증가하는 셋업(Set-up)기간에는 다수의 미세한 셋업방전이 발생되어 상부 유전층에 벽전하가 형성된다. 이어서, 전압이 서서히 감소하는 셋다운(Set-down)기간에는 다수의 미세한 셋다운방전에 의해 불요의 하전입자들이 부분적으로 소거되어 벽전하가 오방



전을 일으키지 않으면서 다음의 어드레스방전에 도움을 줄 정도로 감소하게 된다. 셋다운(Set-down)기간동안 서스테인전극(Z)에는 정극성(+)의 직류전압이 공급된다. 이 정극성(+)의 직류전압에 대하여 리셋펄스(RP)는 서서히 감소하는 형태로 공급되므로 셋다운(Set-down) 시 스캔전극(Y)이 서스테인전극(Z)에 대하여 상대적인 부극성(-)이 됨으로써, 즉 극성이 반전됨으로써 셋업(Set-up)시 생성된 벽전하들이 감소하게 된다.

<62> 어드레스 기간(APD)에는 스캔전극(Y)에 부극성(-)의 스캔전압(V_y)을 가지는 스캔펄스(SP)가 공급됨과 아울러 동시에 어드레스전극(X)에 정극성(+)의 데이터펄스(DP)가 공급됨으로써 어드레스방전이 발생하게 된다. 이 어드레스방전으로 형성된 벽전하는 다른 방전셀들이 어드레스되는 기간동안 유지된다.

<63> 서스테인 기간(SPD)에는 어드레스기간(APD)에서 충분히 벽전하가 형성된 방전셀들에서 서스테인방전이 개시되게 한다. 이어서, 서스테인전극(Z)과 스캔전극(Y)에 교번적으로 서스테인전압(V_s)에 해당하는 서스테인펄스(SUSP_z, SUSP_y)를 공급하여 서스테인기간(SPD) 동안 서스테인방전이 유지되게 한다. 즉, 스캔전극(Y) 및 서스테인전극(Z)의 전위가 서스테인 전압(V_s)으로 높은 상태에 있다가 어느 한 쪽의 전위가 낮은 레벨인 0V로 떨어질 때, 이 때의 전위차와 형성된 벽전하에 의한 벽전압의 차가 합쳐져서 서스테인 방전이 일어나게 된다.(즉, $V_s + V_w > V_f$ 인 관계로서 V_s 는 서스테인 전압을 나타내고, V_w 는 유전층에 형성된 벽전압을 나타낸다. 또한 V_f 는 파이어링 전압(firing Voltage)로 즉, 서스테인 방전을 일으키기 위한 최소한의 전압인 브레이크다운 전압(breakdown Voltage)를 나타낸다.) 이러한 상황이 스캔전극(Y) 및 서스테인전극(Z)에 교대로 일어나면서 서스테인 상태가 지속된다. 이 경우 방전의 양상을 좀 더 자세히 관찰하면, 스캔전극(Y)의 전위가 낮아지면서 방전이 시작될 때, 전위가 낮아지는 스캔



전극(Y)과 어드레스전극(X) 사이에 매우 약한 방전이 먼저 발생한 후, 스캔전극(Y) 및 서스테인전극(Z)간의 서스테인 방전이 활발하게 일어난다.

<64> 이러한 양광주영역(Positive Column)을 이용한 구조는 스캔전극(Y) 및 서스테인전극(Z)간의 간격(d)이 스캔전극(Y) 및 어드레스전극(X)간의 간격(L)보다 넓게 설정되는 구조이므로 서스테인 전압(V_s)이 종래 구조에 비해 다소 높게 나타나는데, 이 문제는 기본적으로 $d > L$ 관계로부터 파생되는 것으로 볼 수 있다. 이러한 서스테인 전압(V_s)이 다소 높아지는 것은 어쩔 수 없으나, 이 서스테인 전압(V_s)을 안정적인 방법으로 다소 낮추기 위한 목적에서 종래와는 다른 전극구조를 가져야 한다.

<65> 도 9a 및 9b는 일반적으로 사용되는 전극구조를 나타내는 도면이다.

<66> 도 9a 및 9b를 참조하면, 상부기판상에 나란하게 형성된 스캔전극(Y) 및 서스테인전극(Z)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 교차하도록 하부기판상에 형성된 어드레스전극(X)을 구비한다.

<67> 본 발명은 서스테인 방전 초기에 전위가 떨어지는 전극(Y 또는 Z)과 어드레스전극(X) 사이에 대향방전이 먼저 일어난 후 스캔전극(Y) 및 서스테인전극(Z)간에 활발한 서스테인 방전이 형성되는 것이다. 이 때, 일반적으로 사용되는 전극구조를 본 발명에 적용할 경우 도 9a 및 9b에서 보듯이 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 마주보는 영역이 좁기 때문에 스캔전극(Y) 또는 서스테인전극(Z)과 어드레스전극(X)간의 대향방전시 방전이 미약하게 발생된다. 이러한 미약한 대향방전으로인해 스캔전극(Y) 및 서스테인전극(Z)의 유전층에는 적은양의 벽전하가 쌓이게 된다. 이러한 적은양의 벽전하는 서스테인 방전시 서스테인 전압(V_s)을 높게 공급하게 한다. 즉, 서스테인 방전이 일어나기 위해서는 $V_s + V_w > V_f$ 의 관계를 만족해야 한다. 여기서, V_s 는 서스테인 전압을 나타내고, V_w 는 유전층에 형성된 벽전압을 나타



낸다. 또한, V_f 는 파이어링 전압(firing Voltage)로 즉, 서스테인 방전을 일으키기 위한 최소한의 전압인 브레이크다운 전압(breakdown Voltage)를 나타낸다. 따라서, 도 9a 및 9b에서와 같이 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 마주보는 영역이 좁을 경우 스캔전극(Y) 또는 서스테인전극(Z)과 어드레스전극(X)간의 대향방전이 미약하게 발생되어 스캔전극(Y) 및 서스테인전극(Z)의 유전층에는 벽전하가 충분히 쌓이지 않게 되어 벽전압(V_w)이 낮아지게 된다. 이 때, 서스테인 방전이 일어나기 위해서 공급되어야 하는 전압은 서스테인 방전이 일어나기 위한 최소한의 전압인 브레이크다운 전압(breakdown Voltage)보다 높아야 하는데 벽전압(V_w)이 낮으므로 상대적으로 서스테인 전압(V_s)이 높아 질 수 밖에 없다. 즉, 서스테인 방전 초기에 스캔전극(Y)과 어드레스전극(X)(혹은 서스테인전극(Z)과 어드레스전극(X))간의 방전에 의해 형성된 벽전압(V_w)과 서스테인 펄스의 전압(V_s)이 더해져서 서스테인 방전이 발생하게 된다. 따라서, 벽전압(V_w)이 낮으면 상대적으로 서스테인 전압(V_s)이 높아져야 하는 문제점이 발생한다.

<68> 도 10a 및 10b는 본 발명의 제 2 실시 예에 따른 전극구조를 나타내는 도면이다.

<69> 도 10a 및 10b를 참조하면, 본 발명의 제 2 실시 예에 의하면 상부기판상에 나란하게 형성된 스캔전극(Y) 및 서스테인전극(Z)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 교차하도록 하부기판상에 형성된 어드레스전극(X)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 중첩되는 영역에서 어드레스전극(X)으로부터 돌출된 돌출부(A1 내지 A4)를 구비한다.

<70> 한편, 양광주영역(Positive Column) 구조에서 도 9a 및 9b와 같은 일반적인 전극구조를 사용할 경우 서스테인 전압(V_s)이 높게 공급되어야 하는 문제점이 발생한다. 따라서, 이러한 서스테인 전압(V_s)을 낮추기 위해 본 발명의 제 2 실시 예에서는 도 10a 및 10b 처럼 스캔전극



(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 중첩되는 영역에서 어드레스전극(X)으로부터 스캔전극(Y) 및 서스테인전극(Z)쪽으로 돌출되는 돌출부(A1 내지 A4)를 형성시킨다. 이 때, 형성되는 돌출부(A1 내지 A4)는 스캔전극(Y) 및 서스테인전극(Z)의 영역보다 더 넓게 형성된다. 또한, 이러한 돌출부(A1 내지 A4)는 스캔전극(Y) 및 서스테인전극(Z) 중 어느 한 전극에만 형성될 수 있으며, 각 전극의 한쪽 방향으로만 형성될 수 있다. 이렇게 하면, 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 대향방전시 스캔전극(Y) 및 서스테이전극(Z)의 유전층에 많은 벽전하를 쌓을 수 있게 된다. 이러한 많은 벽전하는 서스테인 방전시 공급되는 서스테인 전압(V_s)을 낮추게 한다. 즉, $V_s + V_w > V_f$ 의 관계에서 벽전압(V_w)이 높아지므로 상대적으로 서스테인 전압(V_s)이 낮아지더라도 서스테인 방전을 발생시킬 수 있게 된다. 다시말해서, 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 마주보는 영역을 확대시켜 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 방전을 좀 더 강화시켜서 스캔전극(Y) 및 서스테인전극(Z)간의 방전에 도움이 되도록 하는 것이다. 이로 인하여 서스테인 전압(V_s)을 낮출 수 있다. 또한, 서스테인 방전의 딜레이 타임(Delay time)을 단축하는 효과를 얻을 수 있다. 이 때, 형성되는 돌출부(A1 내지 A4)는 격벽 및 형광체등과 간섭이 발생되지 않는 범위 내에서 결정된다.

<71> 도 11a 및 11b는 본 발명의 제 3 실시 예에 따른 전극구조를 나타내는 도면이다.

<72> 도 11a 및 11b를 참조하면, 본 발명의 제 3 실시 예에 의하면 상부기판상에 나란하게 형성된 스캔전극(Y) 및 서스테인전극(Z)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 교차하도록 하부기판상에 형성된 어드레스전극(X)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 중첩되는 영역에서 어드레스전극(X)으로부터 돌출된 돌출부(A11 내지 A14)를 구비한다.

<73> 한편, 양광주영역(Positive Column) 구조에서 도 9a 및 9b와 같은 일반적인 전극구조를 사용할 경우 서스테인 전압(V_s)이 높게 공급되어야 하는 문제점이 발생한다. 따라서, 이러한 서스테인 전압(V_s)을 낮추기 위해 본 발명의 제 3 실시 예에서는 도 11a 및 11b 처럼 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 중첩되는 영역에서 어드레스전극(X)으로부터 스캔전극(Y) 및 서스테인전극(Z)쪽으로 돌출되는 돌출부(A1 내지 A4)를 형성시킨다. 이 때, 형성되는 돌출부(A11 내지 A14)는 스캔전극(Y) 및 서스테인전극(Z)의 영역과 일치하게끔 형성된다. 또한, 이러한 돌출부(A11 내지 A14)는 스캔전극(Y) 및 서스테인전극(Z) 중 어느 한 전극에만 형성될 수 있으며, 각 전극의 한쪽 방향으로만 형성될 수 있다. 이렇게 하면, 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 대향방전시 스캔전극(Y) 및 서스테인전극(Z)의 유전층에 많은 벽전하를 쌓을 수 있게 된다. 이러한 많은 벽전하는 서스테인 방전시 공급되는 서스테인 전압(V_s)을 낮추게 한다. 즉, $V_s + V_w > V_f$ 의 관계에서 벽전압(V_w)이 높아지므로 상대적으로 서스테인 전압(V_s)이 낮아지더라도 서스테인 방전을 발생시킬 수 있게 된다. 다시말해서, 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 마주보는 영역을 확대시켜 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 방전을 좀 더 강화시켜서 스캔전극(Y) 및 서스테인전극(Z)간의 방전에 도움이 되도록 하는 것이다. 이로 인하여 서스테인 전압(V_s)을 낮출 수 있다. 또한, 서스테인 방전의 딜레이 타임(Delay time)을 단축하는 효과를 얻을 수 있다. 이 때, 형성되는 돌출부(A11 내지 A14)는 격벽 및 형광체등과 간섭이 발생되지 않는 범위내에서 결정된다.

<74> 도 12a 및 12b는 본 발명의 제 4 실시 예에 따른 전극구조를 나타내는 도면이다.

<75> 도 12a 및 12b를 참조하면, 본 발명의 제 4 실시 예에 의하면 상부기판상에 나란하게 형성된 스캔전극(Y) 및 서스테인전극(Z)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 교차하

도록 하부기판상에 형성된 어드레스전극(X)을 구비하고, 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 중첩되는 영역에서 어드레스전극(X)으로부터 돌출된 돌출부(A21 내지 A24)를 구비한다.

<76> 한편, 양광주영역(Positive Column) 구조에서 도 9a 및 9b와 같은 일반적인 전극구조를 사용할 경우 서스테인 전압(V_s)이 높게 공급되어야 하는 문제점이 발생한다. 따라서, 이러한 서스테인 전압(V_s)을 낮추기 위해 본 발명의 제 4 실시 예에서는 도 12a 및 12b 처럼 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 중첩되는 영역에서 어드레스전극(X)으로부터 스캔전극(Y) 및 서스테인전극(Z)쪽으로 돌출되는 돌출부(A1 내지 A4)를 형성시킨다. 이 때, 형성되는 돌출부(A1 내지 A4)는 스캔전극(Y) 및 서스테인전극(Z)의 영역내에 즉, 스캔전극(Y) 및 서스테인전극(Z)의 영역보다 더 좁게 형성된다. 또한, 이러한 돌출부(A21 내지 A24)는 스캔전극(Y) 및 서스테인전극(Z) 중 어느 한 전극에만 형성될 수 있으며, 각 전극의 한쪽 방향으로만 형성될 수 있다. 이렇게 하면, 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 대향방전시 스캔전극(Y) 및 서스테인전극(Z)의 유전층에 많은 벽전하가 쌓이게 된다. 이러한 많은 벽전하는 서스테인 방전시 공급되는 서스테인 전압(V_s)을 낮추게 한다. 즉, $V_s + V_w > V_f$ 의 관계에서 벽전압(V_w)이 높아지므로 상대적으로 서스테인 전압(V_s)이 낮아지더라도 서스테인 방전을 발생시킬 수 있게 된다. 다시말해서, 스캔전극(Y) 및 서스테인전극(Z)과 어드레스전극(X)이 마주보는 영역을 확대시켜 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 방전을 좀 더 강화시켜서 스캔전극(Y) 및 서스테인전극(Z)간의 방전에 도움이 되도록 하는 것이다. 이로 인하여 서스테인 전압(V_s)을 낮출 수 있다. 또한, 서스테인 방전의 딜레이



타임(Delay time)을 단축하는 효과를 얻을 수 있다. 이 때, 형성되는 돌출부(A21 내지 A24)는 격벽 및 형광체등과 간섭이 발생되지 않는 범위내에서 결정된다.

【발명의 효과】

<77> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널은 스캔전극 및 서스테인전극간의 간격을 스캔전극 혹은 서스테인전극과 어드레스전극간의 간격보다 크게 하여 스캔전극 혹은 서스테인전극과 어드레스전극간의 방전을 발생시킴으로써 양광주영역을 확대시켜 방전효율을 높일 수 있다.

<78> 또한, 스캔전극 및 서스테인전극과 어드레스전극이 중첩되는 영역에서 어드레스전극으로부터 스캔전극 및 서스테인전극쪽으로 돌출되는 돌출부를 형성시켜 스캔전극 및 서스테인전극과 어드레스전극간의 대향방전시 쌓이게 되는 벽전하를 이용하여 스캔전극 및 서스테인전극간의 방전에 도움이 되게 함으로써 서스테인 전압을 낮출 수 있고, 서스테인 방전의 딜레이 타임을 단축할 수 있다.

<79> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

상부기판 상에 서로 나란하게 제 1 간격으로 형성된 유지전극쌍과,

상기 유지전극쌍과 교차되는 방향으로 하부기판 상에 형성됨과 아울러 상기 유지전극쌍
으로부터 상기 제 1 간격보다 좁은 제 2 간격으로 이격되게 형성되는 어드레스전극과,

상기 유지전극쌍을 이루는 스캔전극 및 서스테인전극 중 적어도 하나 이상의 전극과 상
기 어드레스전극과의 중첩부에서 신장되게 형성되는 돌출부를 구비하는 것을 특징으로 하는 플
라즈마 디스플레이 패널.

【청구항 2】

제 1 항에 있어서,

상기 유지전극쌍간의 제 1 간격은 $300\mu\text{m}$ 이상으로 설정되는 것을 특징으로 하는 플라즈
마 디스플레이 패널.

【청구항 3】

제 1 항에 있어서,

상기 돌출부는 상기 어드레스전극으로부터 상기 유지전극쌍과 나란하게 신장되는 것을
특징으로 하는 플라즈마 디스플레이 패널.

【청구항 4】

제 3 항에 있어서,

상기 돌출부의 폭은 상기 유지전극쌍들 각각의 폭보다 넓게 설정되는 것을 특징으로 하
는 플라즈마 디스플레이 패널.



【청구항 5】

제 3 항에 있어서,

상기 돌출부의 폭은 상기 유지전극쌍들 각각의 폭과 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 6】

제 3 항에 있어서,

상기 돌출부의 폭은 상기 유지전극쌍 각각의 폭보다 좁게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 7】

제 3 항에 있어서,

상기 돌출부는 상기 어드레스전극의 일측단에서 신장되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 8】

제 3 항에 있어서,

상기 돌출부는 상기 어드레스전극의 양측단에서 신장되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 9】

제 3 항에 있어서,

상기 돌출부는 상기 유지전극쌍 중 스캔전극과 중첩되게 신장되는 것을 특징으로 하는 플라즈마 디스플레이 패널.



【청구항 10】

제 3 항에 있어서,

상기 돌출부는 상기 유지전극쌍 중 서스테인전극과 중첩되게 신장되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

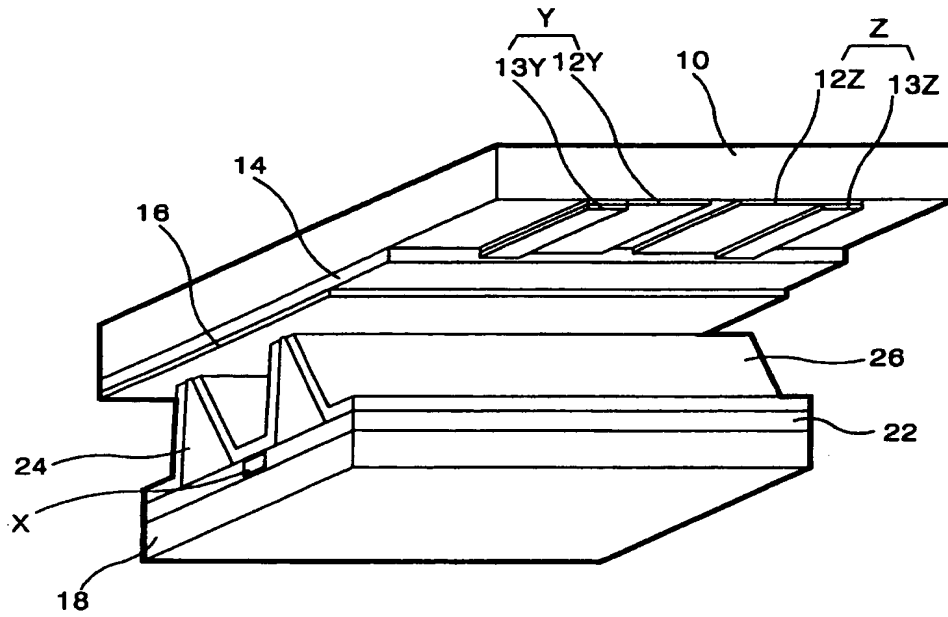
【청구항 11】

제 3 항에 있어서,

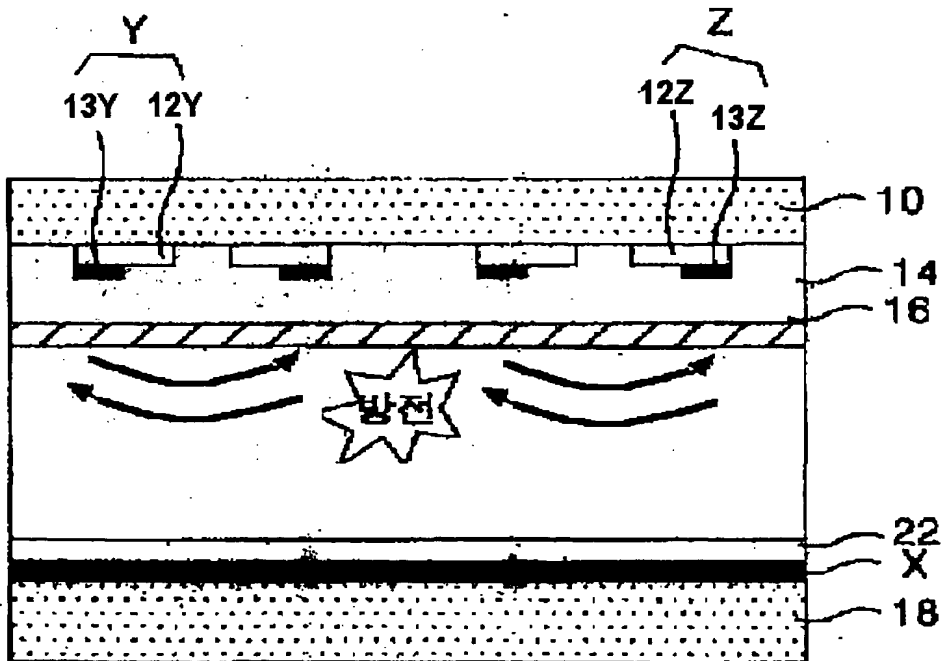
상기 돌출부는 상기 유지전극쌍 모두와 중첩되게 신장되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【도면】

【도 1】



【도 2】

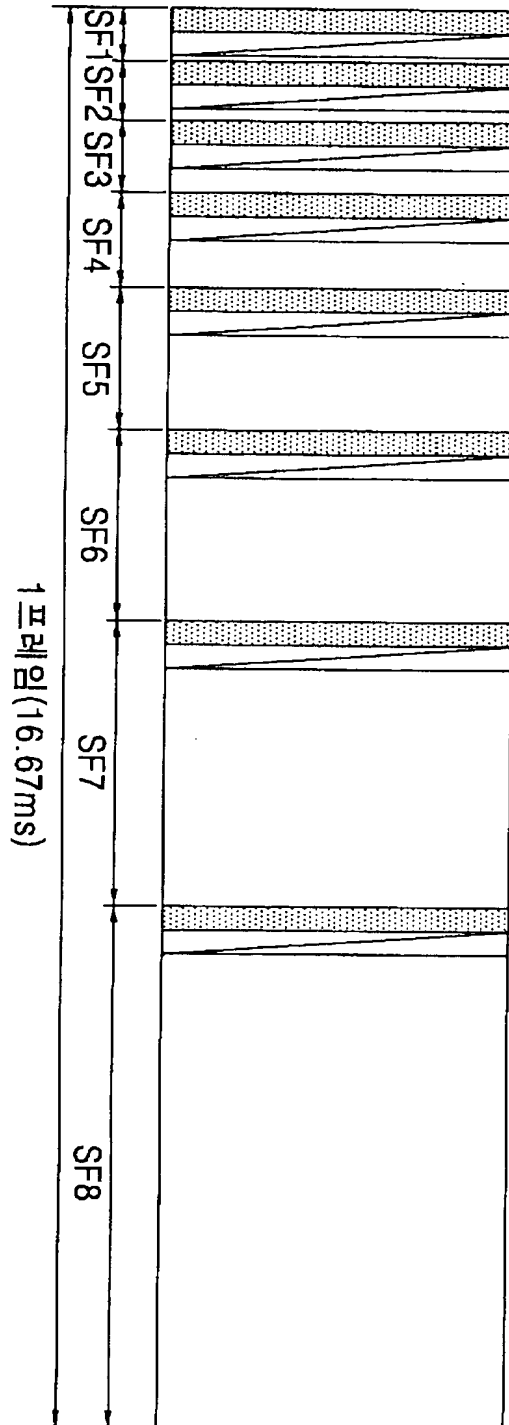
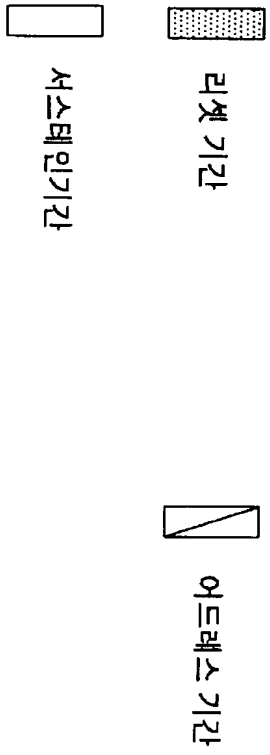




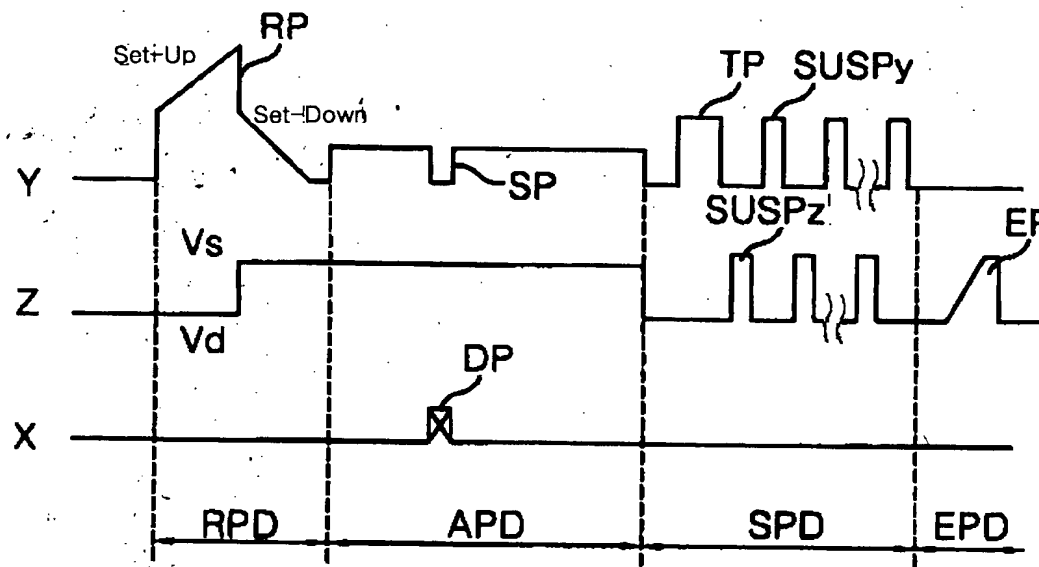
1020030013337

출력 일자: 2004/2/24

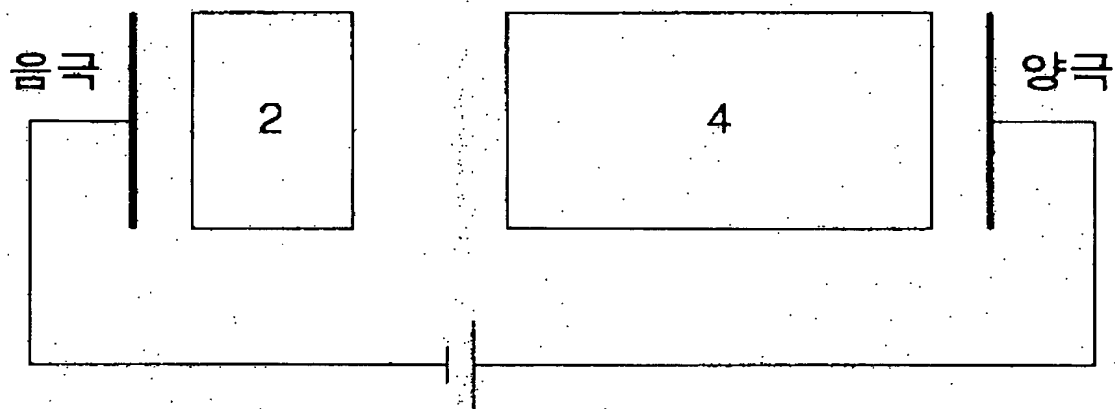
【도 3】



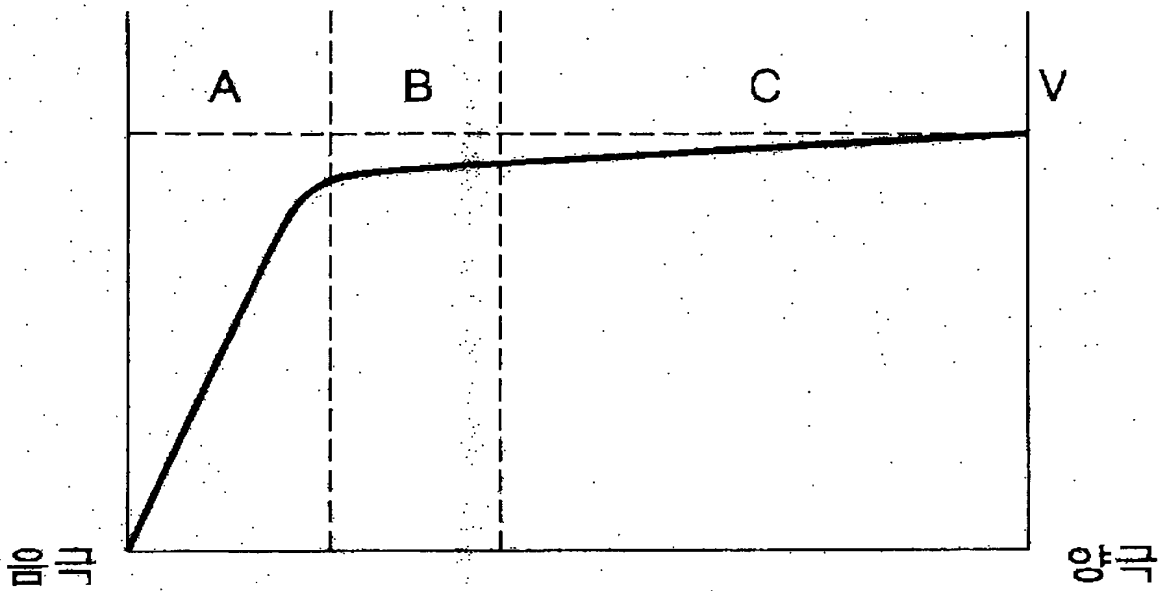
【도 4】



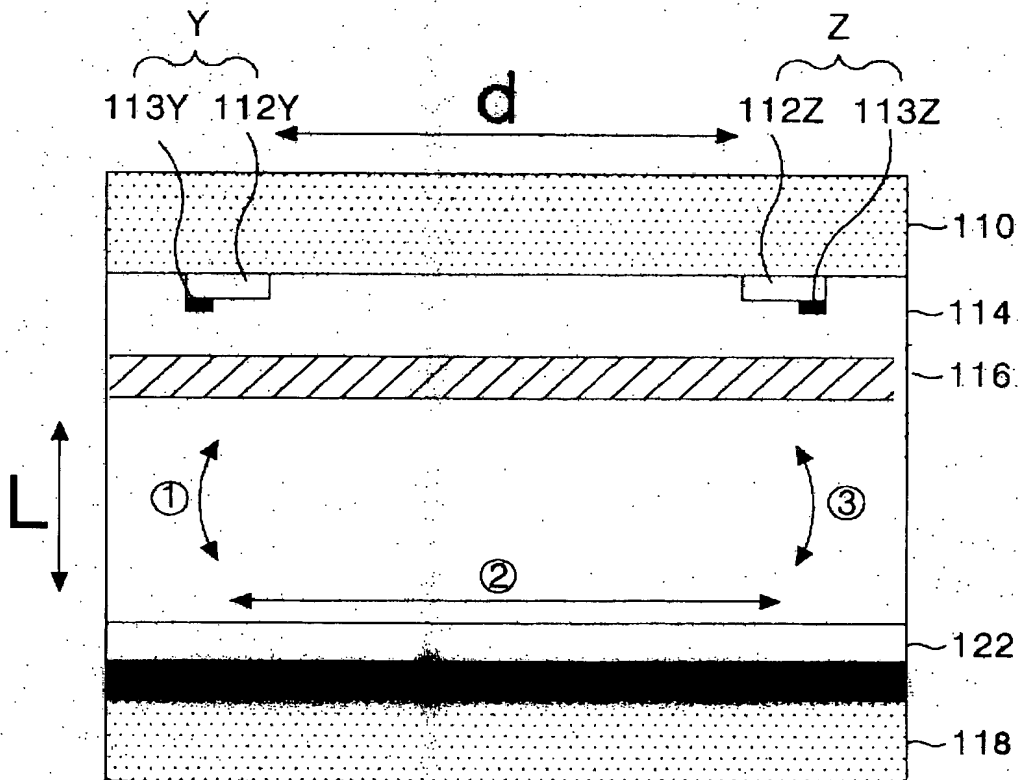
【도 5a】



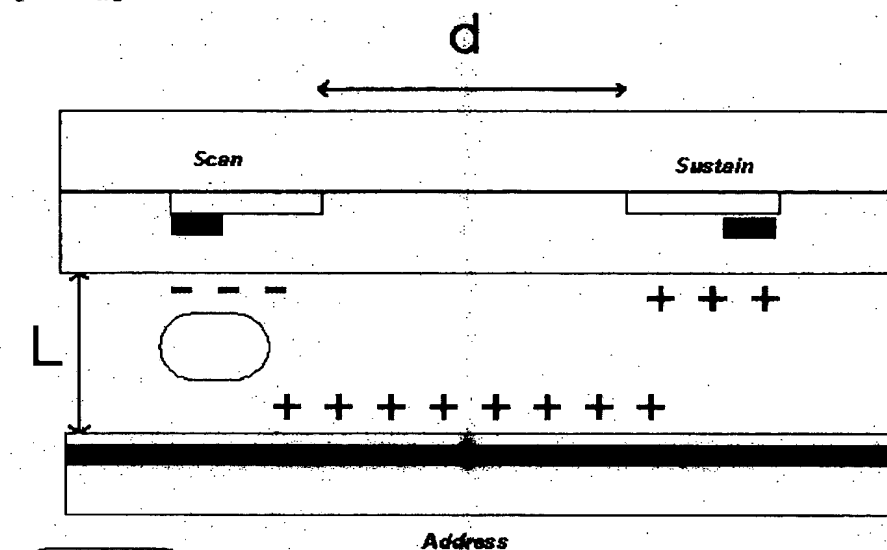
【도 5b】



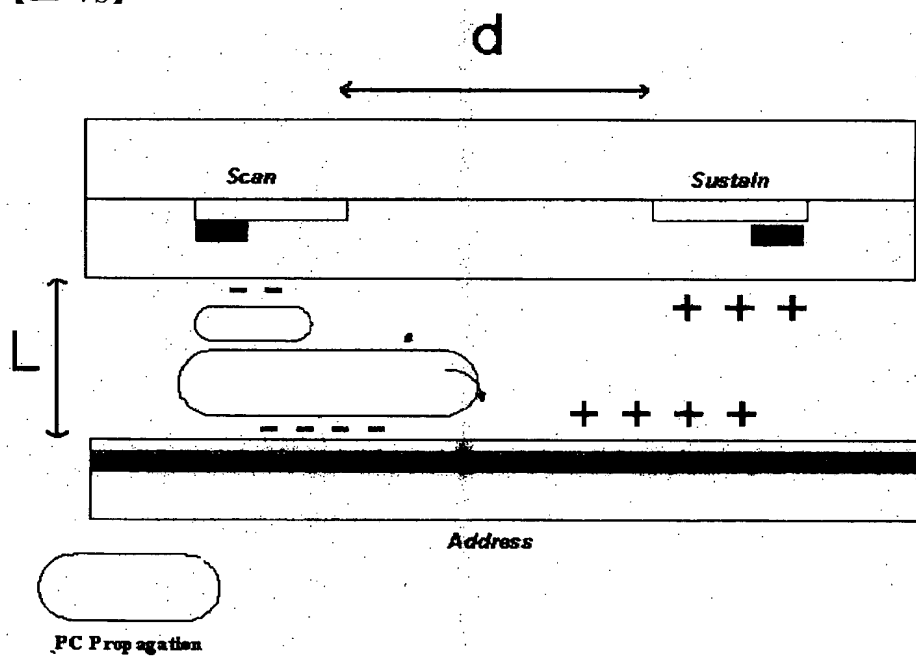
【도 6】



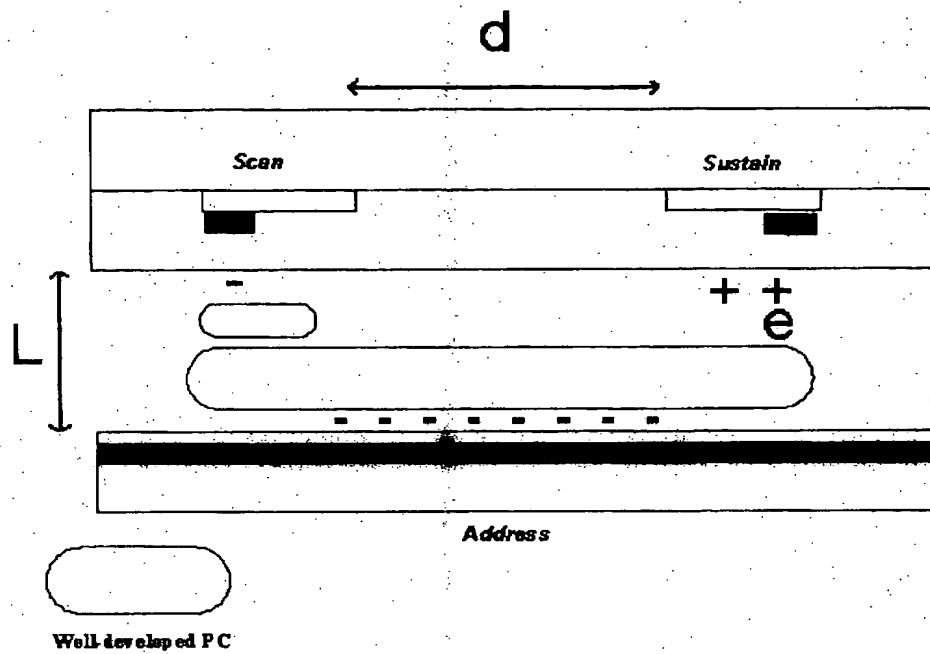
【도 7a】



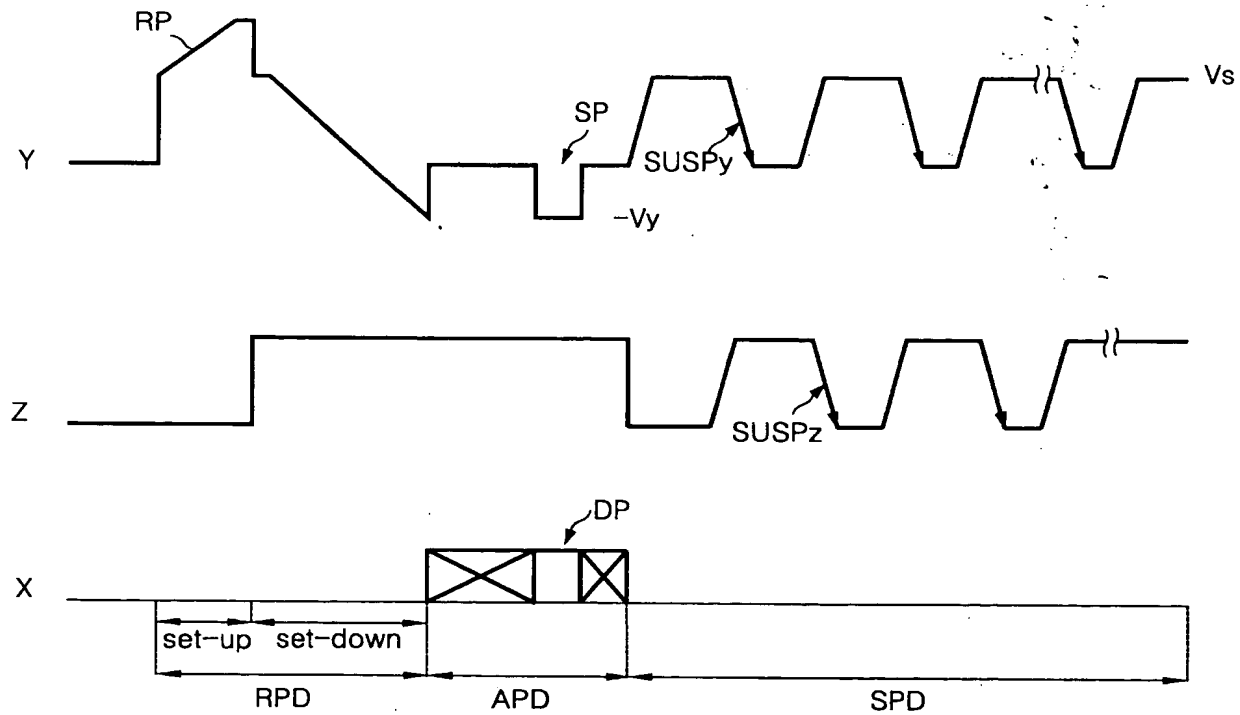
【도 7b】



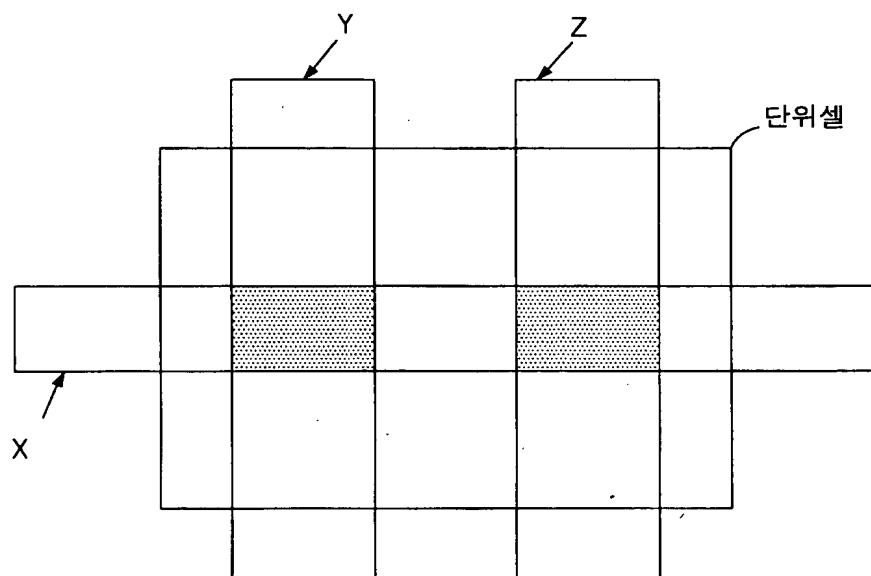
【도 7c】



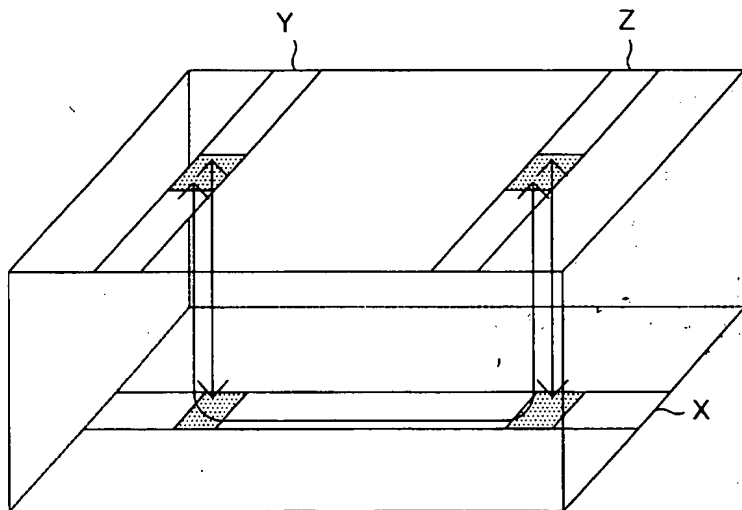
【도 8】



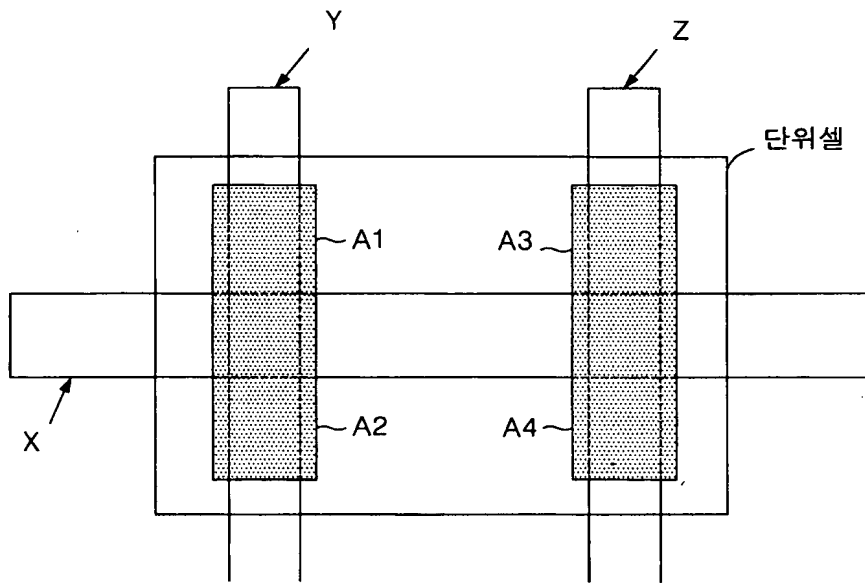
【도 9a】



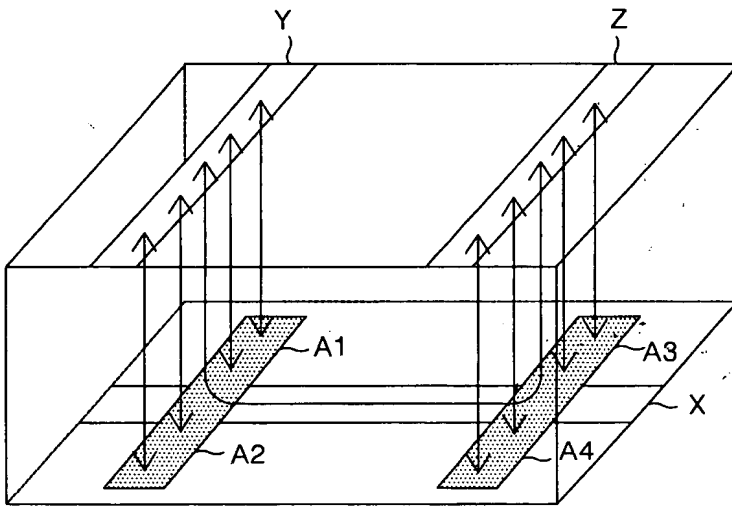
【도 9b】



【도 10a】

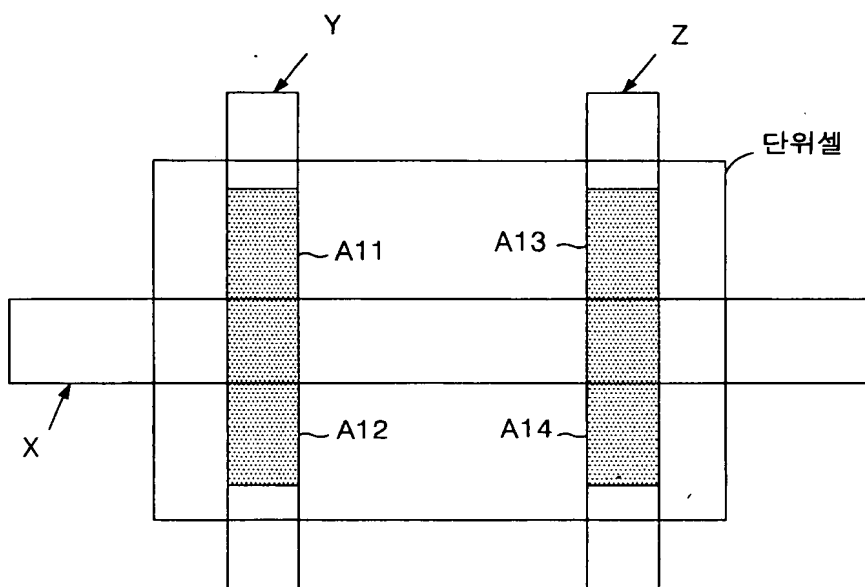


【도 10b】

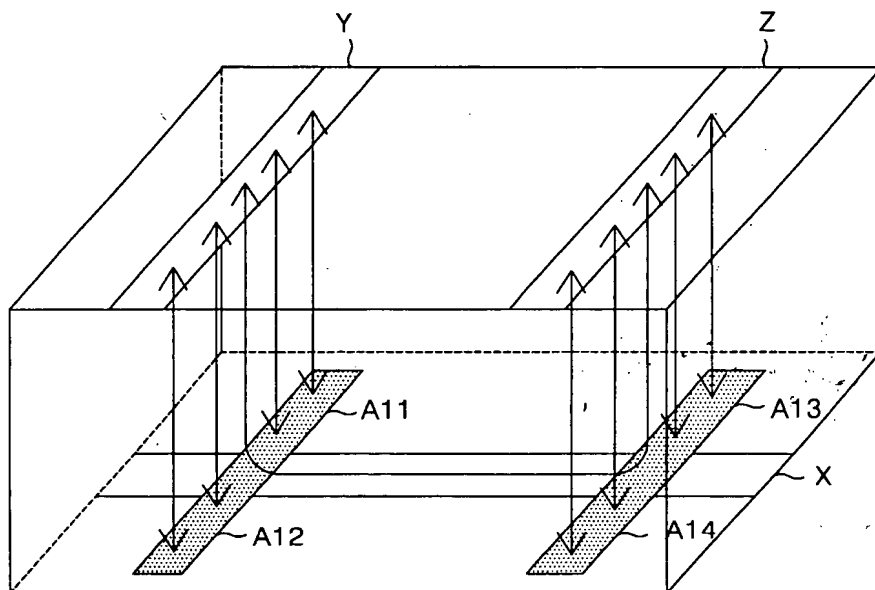




【도 11a】

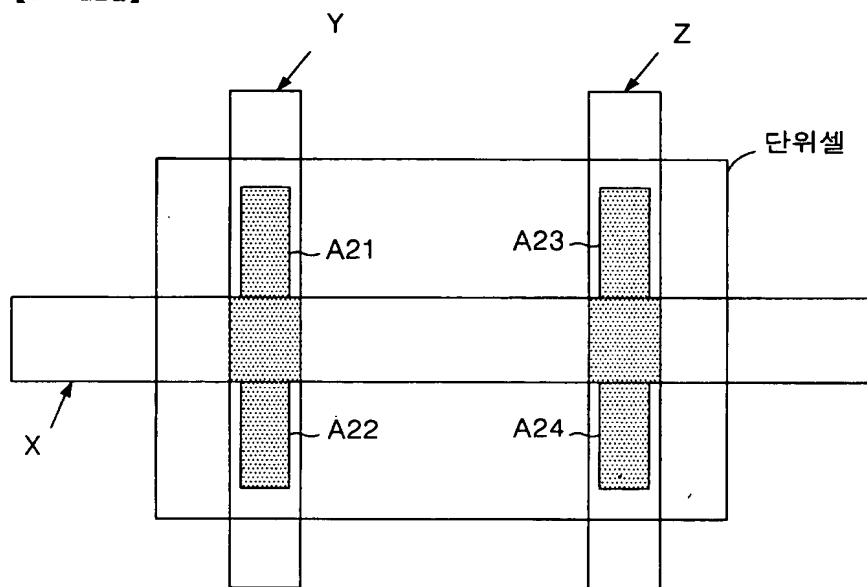


【도 11b】





【도 12a】



【도 12b】

